

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007151539

WPI Acc No: 1987-151536/198722

Coplanarising conductor-insulator films on a substrate - by chem-mech
polishing with a slurry

Patent Assignee: IBM CORP (IBMC)

Number of Countries: 007 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 223920	A	19870603	EP 86110461	A	19860729	198722 B
JP 62102543	A	19870513	JP 86214224	A	19860912	198725
CA 1245517	A	19881129				198901
US 4944836	A	19900731	US 85791860	A	19851028	199033
EP 223920	B	19910102				199102
DE 3676458	G	19910207				199107
JP 8017831	A	19960119	JP 86214224	A	19860912	199613
		JP 94291012		A	19860912	

Priority Applications (No Type Date): US 85791860 A 19851028

Cited Patents: 2.Jnl.Ref; A3...8738; FR 2256260; No-SR.Pub; US 3836473; EP
13508

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 223920	A	E	1	

Designated States (Regional): DE FR GB IT

EP 223920 B

Designated States (Regional): DE FR GB IT

JP 8017831 A 7 H01L-021/3205 Div ex application JP 86214224

Abstract (Basic): EP 223920 A

Structure comprising coplanar conductive and insulator films is formed by: depositing one of the films on a substrate, the film having a non-planar upper surface; depositing the second film conformally on the first; and chem-mech polishing the structure with a slurry to remove the second film at a faster rate than the first until the surfaces of both films are coplanar. Slurry is pref. a soln. contg. dispersed Al₂O₃ or SiO₂ particles.

USE/ADVANTAGE - Esp. in mfr. of planarised multilevel metal-semiconductor structure. Method is flexible and highly controllable, and is superior to dry etching planarisation methods.

/5

Abstract (Equivalent): EP 223920 B

A method of producing substantially coplanar metal and insulating films on a substrate (20,30) comprising the steps of: forming an insulating film (22,32) of a dielectric material having a recess (24,33) onto the top surface of said substrate; blanket depositing a metal film onto said insulating film to fill in particular said recess with metal; chem-mech polishing the top surface of the resulting structure with an acidic alumina based solution. (9pp)

Abstract (Equivalent): US 4944836 A

In the fabrication of planarised multilevel metal on a semiconductor substrate having active devices in it, the method for producing the multilevel metal, comprising coplanar conductive films (I) and insulator films (II) on the substrate, comprises firstly forming a first layer of (I) or (II) on the substrate, the first layer having a non-planar upper surface. A second layer of the other of (I) or (II) is then deposited on the first layer, the second layer having an upper surface generally following the topography of the upper surface of the first layer.

Finally, the structure is chem-mech polished, to remove the second layer at a faster rate than the first layer, until the upper surfaces of the first and second layers are coplanar.

ADVANTAGE - Complex, poorly controlled, costly and contaminating known dry etching planarisation techniques are avoided. (7pp

Dwg.No.2B/4)m

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/3205

International Patent Class (Additional): H01L-021/30; H01L-021/304;
H01L-021/768

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭62-102543

⑫ Int.Cl.

H 01 L 21/88
21/304

識別記号

厅内整理番号

6708-5F
B-7376-5F

⑬ 公開 昭和62年(1987)5月13日

審査請求 有 発明の数 1 (全9頁)

⑭ 発明の名称 同平坦面の導電性膜および絶縁性膜の形成方法

⑮ 特願 昭61-214224

⑯ 出願 昭61(1986)9月12日

優先権主張 ⑰ 1985年10月28日 ⑲ 米国(U S) ⑳ 791860

㉑ 発明者 クラウス・ディートリッヒ・ペイヤー アメリカ合衆国ニューヨーク州ボーキブシー、タミダン・ロード3番地

㉒ 発明者 ウィリアム・レスリー・ガスリー アメリカ合衆国ニューヨーク州ホーブウェル・ジャソクション、ヴァン・ウイツク・レーク・ロード394番地

㉓ 出願人 インターナショナル・ビジネス・マシーンズ・コーポレーション アメリカ合衆国 10504 ニューヨーク州 アーモンク(番地なし)

㉔ 復代理人 弁理士 棚田 文雄

最終頁に続く

明細書

1. 発明の名称 同平坦面の導電性膜および絶縁性膜の形成方法

2. 特許請求の範囲

(1) 同平坦面 (Coplanar) の導電性膜および絶縁性の膜を備えた構造を基板上に作るための方法であつて、

上記基板上に平坦でない表面を有する上記導電性の膜または上記絶縁体の膜のいずれか一方の第1の層を形成し、

上記第1の層の上部表面の形状に従う上部表面を有する上記導電性の膜または上記絶縁体の膜の他方の第2の層を上記第1の層上に付着し、

上記第1および第2の層の表面が実質的に同平坦面になるまで上記第2の層を上記第1の層より速い速度で除去するため、スラリを用いて上記構造を化学機械的に研磨することを特徴とする、同平坦面の導電性膜および絶縁性膜の形成方法。

(2) 上記第1の層は上記絶縁体の膜であり、上記

第2の層が少くとも上記第1の層の上記上部表面の平坦でない範囲と同じ厚さであることを特徴とする特許請求の範囲第(1)項記載の方法。

(3) 上記第1の層は上記導電性の膜であり、上記第2の層が上記第1の層の平坦でない範囲と同じ厚さでないことを特徴とする特許請求の範囲第(1)項記載の方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は高性能VLSI半導体チップの製造に関する、さらIC具体的には、改善された研磨スラリを用いる化学機械的研磨技術により基板上に同平坦面の金属/絶縁体膜を作るための方法に関するものである。上記方法は平坦化されたマルチレベル金属半導体構造の製造に広い用途を見出すことができる。

特開昭62-102543(2)

[従来技術及び発明が解決しようとする問題点]

半導体チップは接点が配線金属線のパターンにより相互接続されたデバイスの配列から成る。VLSIチップでは、これらの金属パターンを多層化し、絶縁材料の層により多層化する。それぞれの金属配線パターン間の相互接続は上記絶縁材料の層を貫いてエッチングした穴（すなわちバイヤホール）により行なう。典型的なチップ設計は1つまたは2つの配線レベルから成り、最新の技術では3つの配線レベルである。回路のコストや性能に関して製造工程で常に要求されているのは、補足的な配線レベルによって付加的な処理工程が必要になつても、その回路に競争力があるということである。しかし、今日広く用いられているとは言え、バイヤホールを用いる技術は多くの制限と欠点を有し、第2図から明らかに理解されるように、金属層の数が増加するに従つて配線は増え難しくなる。

第2図に示す半導体構造10は上記従来技術の

（いわゆるネッキング効果）である。これらの問題はこの産業で要求されている高水準の信頼性にとつては受け入れ難いものである。したがつて、現在真剣に必要とされているのは、そのような不規則な表面を平坦化するという差し迫つた問題を解決するためバイヤホール技術を改善することである。

最新の平坦化技術の典型的な一例をヨーロッパ特許出願番号80302457.9に見出すことができる。この参照文献によれば、半導体構造の表面におけるどのような種類の突起も次の工程により除去することができる。すなわち、上記表面にはほぼ平坦な表面を有するフォトレジストの層を形成し、次にフォトレジストと上記突起を形成する材料の両方を同じ速度でエッチングする反応ガスを用いてこの構造の上部表面を乾式エッチングする。除去される材料が燐ケイ酸塩ガラス（PSG）のときは、反応ガスは弗素化合物と酸素の混合物であり、材料がアルミニウムのときに、反応ガスは塩素をベースとした化合物と水素または酸素の混

典型的な一例である。それは二酸化シリコン（ SiO_2 ）のバターン化された第一の絶縁層12をその上に有する所定の導電形のシリコン基板11から成る。第1レベルのメタライズをバイヤホール14を介して基板の領域15と電気的に接触する金属ランド13により表す。それは、たとえばオミックコンタクトとして、バイポーラ・トランジスタ（図示せず）のエミッタ領域と接触する。

金属ランド16により表される第2レベルのメタライズは第2の絶縁層18のバイヤホール17を介して金属ランド13と電気的に接触する。この構造を第3の絶縁層19でバッシベートする。第2図に示す構造は一定の割合で描かれていないが、標準的工程から生じる平坦からはほど遠い非常に不規則な表面についての概念を示す。

そのような構造で知られている問題点は、第1間に絶縁層が薄くなることに帰因した第1および第2レベルのメタライズ間の位置Aにおける電位短絡であり、第2に位置Bにおける金属層が薄くなることに帰因した位置Bでの電位開放の問題

合物である。それぞれの材料に対して反応ガスを適切に選択しなければならない。

この工程は以下に挙げる幾つかの重大な欠点を有する。

- (1) 第2レベル（および次のレベルの）メタライズのみが平坦化されるので、第2レベルの金属ランドに対するネッキングの電位危険が依然として存続する（ヨーロッパ特許出願番号80302457.9の第5図参照）。
- (2) 第2の絶縁層は第1レベルの金属ランドが第1の絶縁層の上にある位置では非常に薄い。このことはそれぞれのレベルにおける金属線間の短絡および望ましくない寄生キャパシタンスおよび結合をも引起する可能性がある（ヨーロッパ特許出願番号80302457.9の第5図参照）。
- (3) 工程を終らせるためのエッチング停止壁が元々偏わつておらず、さらにウェハ内およびウェハ間にエッチング速度の変動があるので、エッチング・バック動作を非常に正確に制御しなければならない。危険は第1レベルのメタライズの上部

を露出することである(ヨーロッパ特許出願番号80302457.9の第5図参照)。

(4) 上記エッチング停止障壁がないので、反応ガスの性質を変えて、アルミニウムの乾式エッチングを2段階工程で行なう(第12および第13図参照)。

さらに一般には、レジスト平坦化媒体を有する金属のプラズマ・エッチングまたは反応性イオン・エッチング(RIE)は半導体デバイスを平坦化するための好ましい方法に見えるが、これらの技術に固有な限界を有する。第1IC、これらの技術は全ての金属に用いることはできず、揮発性反応生成物を形成する金属にのみ用いることができる。次に、アルミニウムに関する限り、この金属の表面における薄い Al_2O_3 層の存在により工程は複雑になる。この Al_2O_3 層を除去するため予期不能な開始時期が必要とされ、さらにアルミニウム層自体の急速で不均一な除去がそれに続き、そのため制御するのが難しい工程になつていていた。最後に、RIE工程は複雑

をベースとしたシリカまたはアルミナ・スラリのような標準的研磨スラリを用いることができる。

さらに、1つの研磨スラリの使用に関する情報をIBMテクニカル・ディスクロージャ・ブルテンVol. 24、No. 4、1981年、P. 2138に発表された第2の論文に見出すことができる。後者によれば、試験用チップまたはそれを含む1枚のウエハを金属スタッド(直径2.5cm)上に載せ、次にそれをチップの表面を研磨する市販の並行研磨装置の中に挿入する。この論文は前に引用した技術の欠点をはつきりと指摘し、具体的には、研磨工程がウエハにとつて破壊的であると述べている。また、ウエハのわずかな面積のみが関係するときは、論文はチップ上の限定された部分における第2レベルの金属を手で除去するためアルミニナ粉末のスラリに浸した鉛筆形の消しゴムの使用を提案している。

アルミナ・スラリを有する上記機械的研磨技術を多層化された金属構造の研磨に当業者が適用するのを妨げる幾つかの理由がある。第1IC、アル

で費用がかかる。さらに、レジストの使用は汚染源にもなり得る。

金属および絶縁体を平坦化するため化学機械的研磨工程を用いることについてはこれまで全く提案されていなかつた。機械的研磨(すなわち摩耗研磨)の使用が試験目的のための第2レベルのメタライズにおけるアルミニウム・ランドの急速除去に対するC. H. スクリブナ(Scribner)により書かれた2つの論文に最近報告された。

IBMテクニカル・ディスクロージャ・ブルテン、Vol. 20、No. 11A、P. 4430-4431、1978年4月に発表された第1の論文では、試験用チップの特別な設計は研究室での容易な診断に向いていると記載されている。記載されたこの試験用チップを使うには、人はバイヤホールを分離するため第2レベルにおける金属を除去する能力を持たねばならない。これはウエハ全体を並行研磨することにより摩耗的に達成される。金属は調査のためバイヤホール内に元のまま残される。研磨スラリの組成は明らかにされていないが、水

ミナは研磨剤であると考えられる。テッピングに用いられるとはいえ、シリカ・スラリと比べて結晶損傷傾向が大きいため、アルミナはシリコン基板の最終的化学機械的研磨のためには用いられない。しかし、T. フナツ(Funatsu)への米国特許第4375675号は Si_3N_4 エッチング停止層に対してポリシリコン充填物の選択的な化学機械的除去を行なうためアルカリ添加剤を有するアルミナ・スラリを用いるポリシリコン分離平坦化工程について記載している。しかし、能動および受動デバイスは両方とも工程のこの段階では未だ形成されなかつた。同様な開示を米国特許第3911562号に見出すことができる。

別の理由は、絶縁表面から $Al-Cu$ 層を除去するため水をベースとしたアルミナ・スラリを用いる機械的研磨の使用はメタライズ構造を作るための制御可能な工程をもたらさないということである。そのようなスラリは $Al-Cu$ および SiO_2 を同じエッチング速度で研磨し、絶縁層の相当な除去をもたらすことが後段に示される(表I参照)。

したがつて、依然として基板上に同平坦面の金属／絶縁体膜を作る新しい改良された方法が要求されている。

したがつて、本発明の主な目的は複雑な、不完全に制御された、費用のかかる、さらに汚染のもととなる乾式エッティング平坦化技術を必要とすることなく基板上に同平坦面(Coplanar)の金属／絶縁体膜を作るための方法を提供することにある。

本発明の別の目的は金属または絶縁体の性質に関するいかなる制限も持たない化学機械的技術により基板上に同平坦面の金属／絶縁体膜を作るための方法を提供することにある。

本発明の別の目的は良好な金属形状が得られる化学機械的技術により基板上に同平坦面の金属／絶縁体膜を作るための方法を提供することにある。

本発明のさらに別の目的は、絶縁体または金属を非常に制御性の良い工程において自動エッティング停止障壁として使用することを許容するため絶縁体に対するのとはかなり違う金属に対する除去速度を有する改善された選択的スラリを用いる化

縁材料として用いる場合は、スラリは約3より小さい pH を生じるため希酸(典型的には HNO_3 溶液)内のアルミナ粉末から成ることが好ましい。所望ならば、好適な研磨停止材料は塗化シリコン膜である。

上記方法は多層化された金属半導体構造の製造工程におけるどのレベルのメタライズにおいてでも使うことができ、さらに平坦な表面を作るため所期の回数だけ繰返すことができる。

第2の実施例では、パターン化された導電性材料の層を基板上に形成し、絶縁材料の層を基板に付着する。絶縁材料をスラリで化学機械的に研磨する。研磨停止層自体はやはり随意である。両実施例では、絶縁層は SiO_2 またはポリイミド、または他の材料で良い。

〔実施例〕

例1

第1A図には、ほぼ平坦な表面を有し、絶縁層22を上に有する半導体物体または絶縁物体でよ

く学機械的技術により、基板上に同平坦面の金属／絶縁体膜を作るための方法を提供することにある。

〔問題点を解決するための手段〕

本発明によれば、基板を用意する工程、少くともバイヤホールと、線状くぼみ、またはそれらの組合せを有する絶縁材料の層を上記基板上に形成する工程(第1の実施例)、さらに導電性金属をこの構造に付着する工程を含み、上記金属は絶縁材料に対する場合よりかなり速い金属に対する除去速度を有するスラリで化学機械的に研磨されることを特徴とする方法により同平坦面の金属／絶縁体膜が基板上に作られる。したがつて、上記絶縁材料の層は所望なら、自動研磨またはエッティング停止層として用いることができる。その代りに、研磨停止層だけを絶縁材料の上部において用いることもできる。

$Al-Cu$ のようなアルミニウムをベースとした合金と SiO_2 のようなドープされた、またはドープされていないガラス質をそれぞれ金属および絶

い基板21から成る構造20が描かれている。たとえば、層22を形成する誘電体材料は厚さが所期の金属の厚さと下側にある誘電体の厚さ(ゼロの場合もあり得る)の和に等しいスペッタリングされた二酸化シリコンでよい。研磨停止層、たとえば Si_3N_4 を研磨での一層良好な厚さの制御のため SiO_2 (石英)の上部に付着することができる。層22を標準的なフォトリトグラフィ技術でパターン化して、所期のパターン、たとえばトレーナー24を生じる。トレーナーとは、絶縁層の厚さを部分的に、または完全に貫通してもよい任意の形状のくぼみを意味する。次にトレーナーに金属を満たし、たとえば金属線条23を作成する。 $Al-Cu$ 合金のような高導電性金属が層23が構造に一律に付着され、さらに上記トレーナー24を満たす。以下の方法に従つて、合金をスペッタリングされた SiO_2 の上部表面まで除去し、トレーナー内のはそのままにしておく。

構造を直径18インチのストラスバーグ(Strasbaugh)片面研磨装置のような市販の並

行研磨装置、またはIBMテクニカル・ディスクロージャ・ブルティン、Vol. 15、No. 6、1972年11月、P. 1760~1761に記載された装置の中に置く。好みの組成の研磨スラリを2つの異なる方法で調整することができる。

1リットルのDI水中に浮遊する1グラムの Al_2O_3 粉末(0.06ミクロンの寸法)を90ccのDI水中における10ミリリットルの HNO_3 の溶液と混合し、約3の pH を得る。または、2台のポンプ装置を用いて、硝酸をニードル弁により第1の溶液に加えて同じ pH を得る。その他の研磨条件を以下に要約する。

研磨媒体 : pH が約3の酸をベースとしたアルミナ・スラリ

スラリ流速 : 120cc/分

研磨圧 : 1400~5700kg/m²

研磨パッド: ローデル(Rodel) 210 12
(ローデル・プロダクツ社製)

水をベースとしたアルミナ・スラリを単独また

として一般に用いられてきたり、さらに上述のように、試験または調査のため半導体構造の表面から金属ランドを除去するため用いられてきたことは明らかである。しかし、事例1から明らかのように、水中の Al_2O_3 の使用は $\text{Al}-\text{Cu}$ とスパッタリングされた SiO_2 間に所期の除去選択性を何等もたらさず、これは不十分にしか制御できない工程で SiO_2 層のかなりの部分も除去されることを意味する。対照的に、約3より小さい pH を生じるための酸の添加、特に HNO_3 の添加は $\text{Al}-\text{Cu}$ の除去速度を大幅に増大させる化学機械的研磨スラリを生じ、一方、予期しないことであるが、スパッタリングされた SiO_2 の除去速度を同時に減少させ、全体として他とは異なる大きなエッティング速度比をもたらす。 HNO_3 は金属に対する周知のエッティング剤であるが、驚くべきことには、本方法では、金属の工程の終りにおいてトレンチ内で腐食されない。上記方法は12回の別々の研磨作業において再現可能ことが分つた。詳細には、 Al/Cu とスパッタリングされた SiO_2 の間

は別の希酸と組合せて用いて、 $\text{Al}-\text{Cu}$ 合金およびスパッタリングされた SiO_2 の研磨速度を測定した。その結果を下の表Iに示す。

表 I

番号	スラリ 組成	$\text{Al}-\text{Cu}$ スパッタリング された 速度	SiO_2 速度	速度比
1	アルミナ+DI水	30nm/分	30nm/分	1
2	アルミナ+DI水 +硫酸($\text{pH} 2.2$)	85nm/分	33nm/分	3
3	アルミナ+DI水 +硝酸($\text{pH} 2.2$)	107nm/分	8nm/分	13
4	アルミナ+DI水 +酢酸($\text{pH} 2.8$)	150nm/分	425nm/分	3

表Iの試験は酸の添加が水をベースとしたアルミナ・スラリのエッティング能力をある程度(事例2および4)または大幅に(事例3)改善することを示す。水をベースとしたアルミナ・スラリは金属を除去したり金属試料を調整するため研磨剤

の他とは異なる大きなエッティング速度比は自動エッティング停止障壁として働く SiO_2 層であるトレンチ内の残りの金属の厚さに対するすぐれた制御を保証する。

第1B図のようにトレンチ24を満たす金属23の上部表面は絶縁層に埋め込まれた導体の線または線束として考えることができる。したがつて、広い用途を見出すことが可能な非常に滑かな表面を備える同平坦面の金属/絶縁体膜を結果として得る。

例II

半導体構造30の限定された部分を第3A図に示す。それはスパッタリングされた SiO_2 のような誘電体材料のパターン化された層32でバッシペートされた所定の導電形のシリコン基板31からなる。絶縁層はバイヤ(またはスルー)ホール33を備える。バイヤホールにより、絶縁層の厚さを完全に貫通し、金属で満たされたときそれぞれのレベルに置かれた導電性材料の間に電気的相

互接続をもたらす穴を意味する。Al-Cuのような高導電性金属の層34を基板上に一律に付着した。金属は既にシリコン基板に形成されていた拡散領域35とオーミックコンタクトをなす。シリコン基板と関連して説明したが、基板は分離形（たとえば）セラミック、ガラス、または工程の前の段階で形成された金属層のいずれかであつてもよいことは言うまでもない。

例Iに奥して説明した化学機械的研磨技術を実施した後で、第3B図に示す構造を結果として得る。バイヤホール33は完全に金属で満たされ、その上部表面は絶縁層32の上部表面と同平坦面である。金属34はたとえばスタッドと考えることができる。したがつて、この場合には、次にマルチレベルの相互接続体系で用いることができる同平坦面の金属／絶縁体膜も作られる。金属付着の前に、プラチナ・シリサイド接点が領域35で形成されるか、または、所望ならば、充填金属が冶金と接触することができる。

ガラス質のような他の誘電体材料、さらに種々の重合体も用いることができる。使用される材料における唯一の制限は工程の残りの部分との適合性と絶縁層内にトレンチまたはバイヤホールを形成する能力である。両方とも標準的フォトリソグラフィ技術を用いて形成する。次に、意図した金属パターンを湿式またはRIEエッティング技術により誘電体に転写するが、微細な寸法が必要とされるところでは後者の方が好ましい。トレンチまたはバイヤホールを形成するため使用可能な他の技術には、投射レーザ支援エッティング、スパッタリング技術または反応イオン・ビーム・エッティングがある。絶縁層内に完成されたトレンチまたはバイヤホールの寸法により画定されるので、微細な金属形状が得られることが分る。絶縁体のRIEは金属のRIEよりもよく理解されると共にもつと制御性にすぐれた工程である。本発明はその差異を利用できる。スパッタリング、CVDまたは電気めつきを含むどのような共形的技術によつて金属を付着してもよい。もちろん、アルミニウム

例III

例Iに関して教示された導電性の線が、または例IIに教示された金属充填バイヤホールのいずれかを形成する工程の組合せは平坦化されたマルチレベル金属構造の製造をもたらす。第4図に示すように、マルチレベル金属構造40は多層金属構造42を備えた基板41から成る。構造42は上述の化学機械的研磨技術を連続的に適用して、絶縁体44内に導電性の線43を、次に絶縁体46内に金属充填バイヤホール45を、最後に絶縁体48内に導電性の線47を形成することにより形成される。

SiO_2 の代りにポリイミドを誘電体材料として使うことができる。スパッタリングされた SiO_2 層を標準的スパッタリング技術により付着し、ポリイミドを標準的な回転および硬化工程により塗布する。絶縁層はほぼ平坦な表面を覆つて塗布されるので、層は平坦化した膜である必要はない。したがつて、酸化物が関係するところではPECVDのような高速付着技術を用いることができる。ドープされた、またはドープされていない

とその合金（Al-Si、Al-Cu）が好ましいとは言え、本発明はそれらに限定されるものではなく、他の金属も同様に使うことができる。選択的な化学機械的研磨を用いて同平坦面の金属／絶縁体膜を作る本発明の広い概念は広い用途を有する。

大きな除去速度比を有する化学機械的研磨技術を金属と誘電体材料の多くの組合せに対して見出すことができる。化学機械的技術の利点は、それが引掛け工程より早く、費用が安く、より微細な寸法にまで及ぶことができることである。金属RIE技術に比べて広範囲の金属に適用可能である。乾式エッティング平坦化技術とは著しく違て、化学機械的平坦化技術は被覆材料が始めに覆われた材料の上部表面と同平坦面である平坦な構造を生じる。何故ならば、選択的スラリは自動エッティング停止層として用いられる後者の材料を大幅に除去しないからである。乾式エッティング平坦化技術より広範囲の金属に適用可能であり、さらにもつと制御性が良い。

本発明の第2の実施例では、絶縁材料の層を第

5図に示すような下のレベルのパターン化された金属の上に付着する。スラリの成分を適当に変えて、本発明の化学機械的研磨技術は研磨の終了時に露出される下側にある導電性金属より大幅に速い速度で上側にある絶縁材料を選択的に除去することにより、絶縁された構造を断続線50まで平坦化するように適応できる。たとえば、絶縁材料がスパッタリングされたSiO₂であり、金属がAl-Cuであるとき、水酸化カリウムの塩基性溶液(pH約1.1乃至1.15)とほぼ1乃至10%の固体含量を有するシリカ粒子などを含むスラリが好適である。研磨パッドの材料は好ましくはポリエチレンであり、研磨負荷の下で変形しないよう十分固い。最初の平坦化作用の間は、下側にある金属構造の形状のため、高い地点51における絶縁材料は低い地点52および53におけるより速い速度で除去される。さらに、所望ならば、研磨エッチング停止層を単独で用いることができるが、スラリの選択性が下側にある層の除去速度に関連した上側にある層の除去速度に関して増大するとき

厚さよりも幾分小さい量に制限することにより、SiO₂はそれぞれの高い地点にわたってほぼ同時に除去される傾向がある。

〔発明の効果〕

複雑で費用がかかり、汚染のもととなる乾式エッチング平坦化技術を必要とすることなく、基板上に同平坦面(Coplanar)金属/絶縁体膜を作ることができる。

4. 図面の簡単な説明

第1Aおよび第1B図は同平坦面の金属/絶縁体表面を作るため絶縁層内に形成された導電性の線に適用された本発明の第1の実施例の方法を示す多層金属半導体構造の概略断面図、第2図は標準的工程に従つて製造され、典型的な平坦でない表面を示す多層金属半導体構造の概略断面図、第3Aおよび第3B図は同平坦面の金属/絶縁体膜を作るため絶縁体層内に形成された金属充填バイヤホールの形成に適用された本発明の第1の実施例の方法を示す多層金属半導体構造の概略断面図、

は随意になる。好適な研磨エッチング停止材料には、たとえば、ポリイミド膜のような有機重合体(エッチング・プラズマまたはCVDがSiO₂を付着したとき)、またはプラズマ強化シリコン、MgOまたはAl₂O₃のような無機材料(エッチングがSiO₂をスパッタリングしたとき)がある。

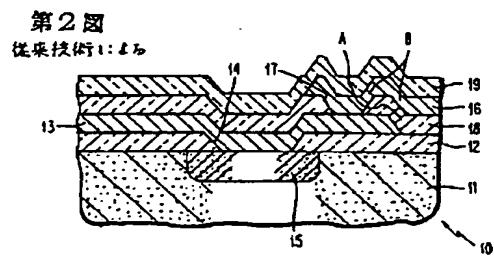
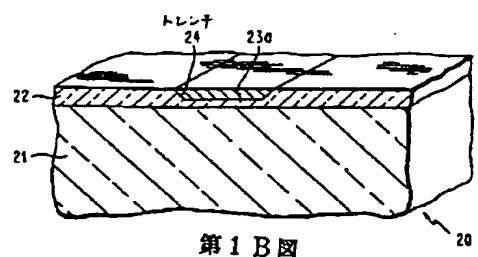
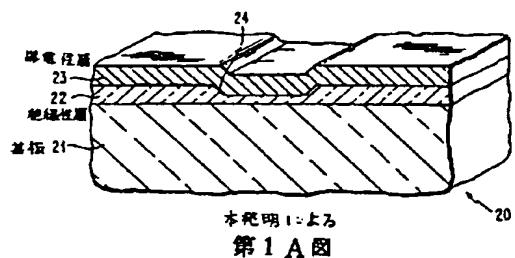
下側にある構造の表面の残りの部分に対して、51のような高い地点の形状の寸法および密度にかかわらず、付着された絶縁材料の厚さをしおよびKレベルの金属を合わせた厚さより小さくすることが平坦化の最適な結果を得るために好ましいことが第2の実施例で分つた。一般に、化学機械的研磨において、絶縁材料の完全な平坦化が達成される前にスタッドの金属が到達されるように絶縁材料の厚さを選ばなければならない。通常、SiO₂の厚さが大きすぎるときは、第5図のSiO₂を大きなスタッドのような大きな形状にわたつて、またはスタッドの大きな配列にわたつて均一に除去することは分離されたスタッドにわたつて除去するよりも難しい。SiO₂の厚さを覆われる金属の

第4図は平坦化されたマルチレベル金属構造を作るため上記工程を組合わせる本発明の第1の実施例の方法を示す多層金属半導体構造の概略断面図、第5図は同平坦面の絶縁体/金属表面を作るため下側のレベルのパターン化された金属の上に付着された絶縁材料の層に適用された本発明の第2の実施例の方法を示す多層金属半導体構造の概略断面図である。

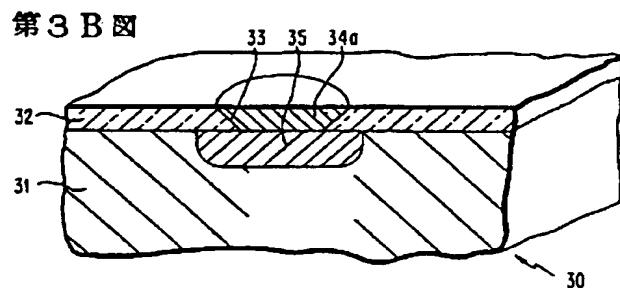
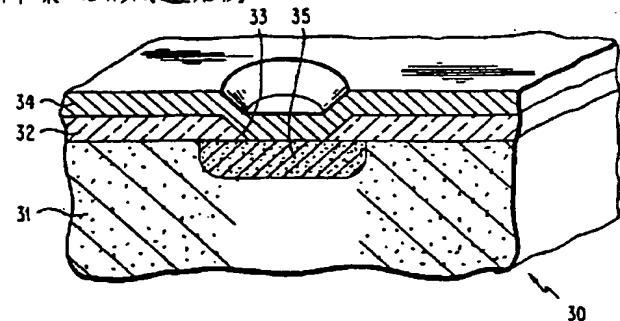
20、30、40……半導体構造、21、31、41……基板、22、32……誘電体層、23、34……導電性金属層、23a、43……金属線条、24……トレンチ、33、45……バイヤホール、44、46……絶縁体。

出願人 インターナショナル・ビジネス・マシーンズ・コーポレーション

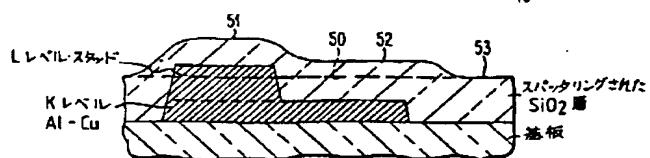
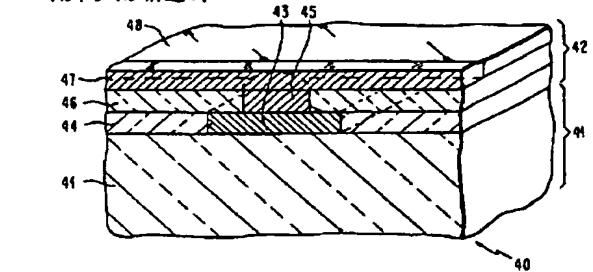
復代理人 弁理士 篠 田 文 埼



第3A図
バイヤホール形成適用例



第4図
マルチレベル構造例



第1頁の続き

⑦発明者	スタンレー・リチャード・マーカレウイツクズ	アメリカ合衆国ニューヨーク州ニュー・ウインドソー、チエリー・アベニュー17番地
⑦発明者	エリック・メンデル	アメリカ合衆国ニューヨーク州ボーキブシー、ハイ・ポイント・ドライブ3番地
⑦発明者	ウイリアム・ジョン・パトリック	アメリカ合衆国ニューヨーク州ニューバーグ、ロックウッド・ドライブ3番地
⑦発明者	キャサリーン・アリス・ベリー	アメリカ合衆国ニューヨーク州ラグランジビル、アプトン・ロード、アールディ1、ボックス17番地
⑦発明者	ウイリアム・アロン・ブリスキン	アメリカ合衆国ニューヨーク州ボーキブシー、グリーンベイル・ファームス・ロード31番地
⑦発明者	ヤコブ・ライズマン	アメリカ合衆国ニューヨーク州ボーキブシー、バーナード・アベニュー38番地
⑦発明者	ポール・マーチン・シャイブル	アメリカ合衆国ニューヨーク州ボーキブシー、ヒリス・テラス46番地
⑦発明者	チャールズ・ランバート・スタンドレイ	アメリカ合衆国ニューヨーク州ワッピングジャーズ・ホールズ、ヒルサイド・レーク、フロスト・ロード（番地なし）